

JM61581用户使用说明

1、主要特点

- 兼容型号：DDC61581
- 工作电压：5V \pm 10%
- 标准 4K \times 16 RAM
- 工作频率：16M / 12M 可选择的时钟工作频率
- 双路 1553 总线收发模块
- 完整的 MIL-STD-1553B 双余度总线控制器（BC）、远程终端（RT）和监测终端（MT）
- 与主机和外部存储器灵活的接口模式
- BC 和 RT 方式的多消息处理能力
- BC 方式消息自动重试、信息帧的自动重发和可编程的消息间延时
- RT 模式灵活的数据缓冲方式
- 可选择消息的监测模式
- 同步 RT/监测模式
- RT 地址锁存功能是JM61581较JM61580所特有的
- A、B 通道独立控制功能是JM61581S6较JM61581S3所特有的
- 封装形式：DIP70

2、简单介绍

JM61581为MIL-STD-1553B 总线上先进的通讯控制器，其内部的 BC、RT 和 MT 功能，为 MIL-STD-1553B 系统设计提供了一个智能的解决方法。该器件多电路模块的陶瓷封装（MCM），电路内部集成有：数字协议控制电路，双路总线收发器等模块。因此，该电路更适合高强度的应用环境。电路内部主要的逻辑模块为：双路收发器、完整的 BC/RT/MT 多功能协议逻辑、存储器管理逻辑和中断逻辑，4K \times 16 位的静态存储器和与处理器总线的接口逻辑，其整体框图如图 1 所示。

JM61581包括内部地址锁存器和双向的数据缓冲电路以便于其与处理器总线的数据交换。JM61581还可以很方便的与 8 位或 16 位的处理器进行接口通信，另外，在共用 RAM 和 DMA 配置模式下，JM61581能最大外扩 64KRAM。

JM61581电路是支持多协议数据总线的器件，它支持多种通信协议，如：MIL-STD-1553A、MIL-STD-1553B、MIL-STD-1773、STANAG3838 和 MCAIR A3818，A5232 和 A5690 等协议。

JM61581的 MT 模式支持三种监视模式：字测试、可选择消息测试和与 RT 组合的可选择测试方式。BC 模式具有总线消息自动重试和可编程消息间间隔以及帧自动重发功能。RT 模式具有总线消息记录时标和内部命令非法化功能。

3、主要结构

如下图 1 所示, 给出了 JM61581 电路内部结构图。

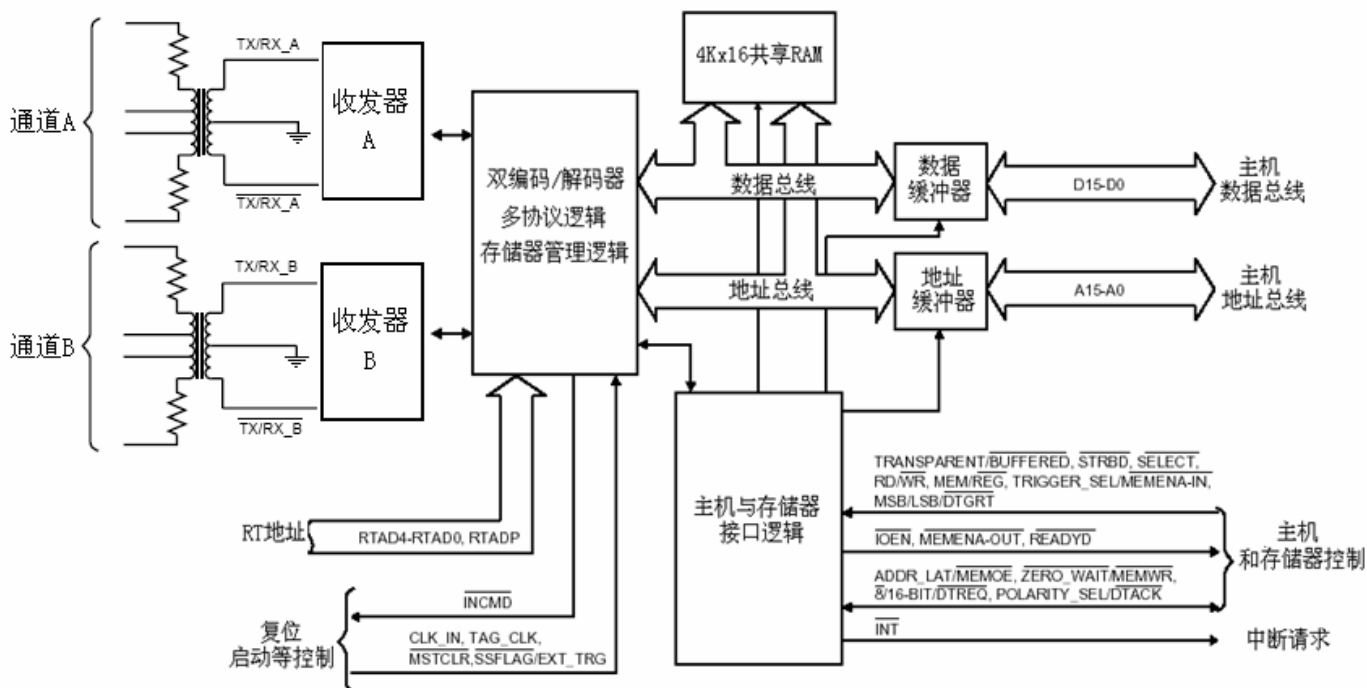


图1 JM61581 电路内部结构

4、功能和特点

4、1 编码/解码器：

JM61581电路在默认模式下是以时钟频率 16M 工作，根据需要，通过软件编程可以将它配置成时钟频率 12M 的工作方式。在 16M 的工作模式下（电路复位），内部解码/编码器的采样频率为 16M；在 12M 的工作模式下，解码/编码器的采样频率为 24M。高的采样频率提高了电路内部编码/解码器的容错能力。

4、2 中断：

JM61581电路内部具有功能强大的中断逻辑，它为中断产生和中断处理提供了很多可编程的选择。电路的中断输出引脚（INT）具有三种软件可编程选择方式：脉冲形式、电平输出的软件控制方式和读取内部中断状态寄存器自动电平输

出。中断状态寄存器可以提供目前中断的状态，通过读取中断状态寄存器，处理器能很容易判断中断产生的原因。中断状态寄存器的值可以通过两种方式更新。一种为标准的中断处理模式，即：当中断存在并且中断屏蔽寄存器中相应的位被激活时，中断状态寄存器中相应的中断位被更新。另一种为中断处理的增强模式，即：只要中断产生，无论中断屏蔽寄存器中相应的位是否被激活，中断状态寄存器中相应的位被更新。因此，中断屏蔽寄存器中的每一位均能触发相应情况的中断。

4、3 地址译码、内部寄存器和存储器管理：

JM61581电路与处理器的软件接口包括 17 个内部常规寄存器和 8 个额外的测试寄存器，以及 $4K \times 16$ 位的内部存储器空间。

4、4 中断屏蔽寄存器：能够触发或屏蔽各种中断请求。

配置寄存器#1 和#2：主要用于配置电路的操作模式，软件控制 RT 状态字的各个位，激活存储器空间，BC 模式的错误停止，RT 存储器管理模式选择以及时标操作等等。

4、5 开始/复位寄存器：主要用于对电路软件复位，BC/MT 模式的启动，中断复位，时标复位和时标寄存器测试等。同时它还能规定 BC 在自动重试模式下，停止在当前消息发完或者当前信息帧发完的情况下。

4、6 BC/RT 命令栈指针寄存器：电路在 BC/RT 模式下，用于主机确定当前消息或最近消息的在存储器中的栈点位置。

4、7 BC 控制字/RT 子地址控制字寄存器：在 BC 模式下，主机可以访问当前 BC 控制字寄存器。BC 控制字包含的位：选择激活总线，消息的格式，使能掉线模式，自测试，屏蔽状态字，使能消息重试和中断，以及 MIL-STD-1553A 或 MIL-STD-1553B 出错处理等。在 RT 模式下,主机能够访问当前或最近的子地址控制字。子地址控制字用于选择存储器空间配置方式和使能当前消息的中断。可以通过读写该寄存器辅助测试 JM61581 电路内部工作状况。

4、8 时标寄存器：能够保存实时时钟的值，该寄存器可编程的分辨率为 2, 4, 8, 16, 32 和 $64\mu s/LSB$ 。TAG_CLK 作为外部时钟输入也能锁住该寄存器。在 BC、RT 和消息监视模式下，消息的起始（SOM）和消息的截止（EOM）均能促使时标寄存器的当前值写入 RAM 的栈空间。

4、9 中断状态寄存器：能映射中断屏蔽寄存器并包括一个屏蔽中断位。主机能通过读取相应中断位来判断产生中断的原因。

4、10 配置寄存器#3，#4 和#5：通过配置这些寄存器来使能 JM61581 电路的许多先进特性。在 BC 模式下，增强模式特性包括扩展 BC 控制字和 BC 块状态字，附加的错误停止（SOE），帧自动重试，可编程消息时间间隔，消息自动重发，状态字的屏蔽，有选择性的消息发完后中断等。在 RT 模式下，增强模式的特性包括扩展 RT 块状态字，与 RT 组合可选择监测模式，单个接收到的（或广播的）子地址的双缓冲配置方式和交替的 RT 状态字等。在 MT 模式下，增强模式可以使能可选择的消息监测，与 RT 组合可选择监测模式，以及监视触发性能等。

4、11 数据栈地址寄存器：在选择性字监测模式下，用于标示存储器存储当前消息（第二个命令字，数据字和 RT 状态字）的地址。

4、12 帧时间保持寄存器：用于标示当前 BC 信息帧保留的时间。该寄存器的计时分辨率为 100 μ s/LSB。

4、13 消息时间保持寄存器：用于标示在一个 BC 信息帧中消息与消息之间的时间。该寄存器的计时分辨率为 1 μ s/LSB。

4、14 BC 信息帧/RT 上一个命令字/MT 触发字寄存器：在 BC 的信息帧自动重试模式，它用于配置 BC 信息帧的时间。该寄存器的计时分辨率为 100 μ s/LSB，最大计数为 6.55 μ s。在 RT 模式下，该寄存器存储 RT 处理的当前或最近的 1553 命令字。在 MT 模式下，该寄存器存储 16 位的触发（命令）字，用于启动或停止监测或者用于产生中断。

4、15 状态字寄存器：提供 JM61581 电路的 RT 状态字以及建立测试字。该寄存器为只读寄存器。

4、16 测试寄存器 0-7：这些寄存器主要用于测试，在 JM61581 电路设计和生产以及系统集成时用到。

下表 1 为 JM61581 电路内部寄存器地址映射表，在表 2 到表 19 中分别对各个内部重要的寄存器中各个位进行了详细的说明。

表 1 寄存器地址映射表

地址线						寄存器描述
HEX	A4	A3	A2	A1	A0	
00	0	0	0	0	0	中断屏蔽寄存器（读/写）
01	0	0	0	0	1	配置寄存器#1（读/写）
02	0	0	0	1	0	配置寄存器#2（读/写）
03	0	0	0	1	1	启动/复位寄存器（写）
03	0	0	0	1	1	BC/RT 命令栈指针寄存器（读）
04	0	0	1	0	0	BC 控制字/RT 子地址控制字寄存器（读/写）
05	0	0	1	0	1	时标寄存器（读/写）
06	0	0	1	1	0	中断状态寄存器（读）
07	0	0	1	1	1	配置寄存器#3（读/写）
08	0	1	0	0	0	配置寄存器#4（读/写）
09	0	1	0	0	1	配置寄存器#5（读/写）
0A	0	1	0	1	0	数据栈地址寄存器（读）
0B	0	1	0	1	1	BC 帧时间保留寄存器（读）
0C	0	1	1	0	0	BC 消息间时间保留寄存器（读）
0D	0	1	1	0	1	BC 消息帧/RT 上一个命令字/MT 触发字寄存器
0E	0	1	1	1	0	RT 状态字寄存器（读）
0F	0	1	1	1	1	RT 比特字寄存器（读）
10	1	0	0	0	0	测试寄存器#0
•						
•						
17	1	0	1	1	1	测试寄存器#7
18	1	1	0	0	0	保留
•						
•						
1F	1	1	1	1	1	保留

表 2 中断屏蔽寄存器（读/写，00H）

位	位功能描述
15（最高）	保留
14	存储器奇偶校验出错
13	BC/RT 传输超时
12	BC/RT 命令栈翻转
11	MT 命令栈翻转
10	MT 数据栈翻转
9	握手失败（与外部 RAM 或主机）
8	BC 重试
7	RT 地址奇偶校验出错
6	时标翻转
5	RT 循环缓冲翻转
4	BC 控制字/RT 子地址控制字消息结束
3	BC 信息帧结束
2	格式出错
1	BC 状态设置/RT 方式码/MT 模式触发
0（最低）	消息结束

表 4 配置寄存器#2（读/写，02H）

位	位功能描述
15（最高）	增强模式中断
14	保留
13	存储器回写表忙位使能
12	RT 双重缓冲使能
11	覆盖非法数据
10	256-字的边界无效
9	时标分辨率 2
8	时标分辨率 1
7	时标分辨率 0
6	同步时清除时标
5	同步时装载时标
4	中断状态自动清除
3	电平/脉冲中断请求
2	清除服务请求
1	增强 RT 存储器管理
0（最低）	隔离广播数据

表 3 配置寄存器#1（读/写，01H）

位	BC 功能（位 11-0 仅为增强模式）	不带预备状态 RT	预备状态 RT（增强模式）	MT 功能（增强模式为 12-0）
15	逻辑 0	逻辑 1	逻辑 1	逻辑 0
14	逻辑 0	逻辑 0	逻辑 0	逻辑 1
13	当前区域 B/A _{__}	当前区域 B/A _{__}	当前区域 B/A _{__}	当前区域 B/A _{__}
12	消息出错停止	消息监测使能	消息监测使能	消息监测使能
11	帧出错停止	动态总线控制受理（低有效）	S10	触发使能字
10	状态设置消息停止	忙位（低有效）	S09	触发启动
9	状态设置帧停止	服务请求（低有效）	S08	停止触发
8	帧自动重发	子系统标记（低有效）	S07	保留
7	外部触发使能	RT 标记（增强模式）（低有效）	S06	外部触发使能
6	内部触发使能	保留	S05	保留
5	消息间记时使能	保留	S04	保留
4	消息重试使能	保留	S03	保留
3	双重 / 单一 消息重试	保留	S02	保留
2	BC 使能（只读）	保留	S01	监测使能（只读）
1	BC 帧执行中（只读）	保留	S00	监测触发（只读）
0	BC 消息执行中（只读）	RT 消息执行中（增强模式，只读）	RT 消息执行中（只读）	监测激活（只读）

表 5 启动/复位寄存器（写，03H）

位	位功能描述
15（最高）	保留
•	•
•	•
•	•
7	保留
6	BC/MT 消息停止
5	BC 帧停止
4	时标测试时钟
3	时标复位
2	中断复位
1	BC/MT 启动
0（最低）	复位

表 6 BC/RT 命令栈点寄存器（写，03H）

位	位功能描述
15（最高）	命令栈点 15
•	•
•	•
•	•
0（最低）	命令栈点 0

表 7 BC 控制字寄存器（读/写，04H）

位	位功能描述
15（最高）	保留
14	消息出错位屏蔽
13	服务请求位屏蔽
12	子地址忙位屏蔽
11	子地址标记位屏蔽
10	终端标记位屏蔽
9	保留位屏蔽
8	消息重试使能
7	总线通道 A/ \bar{B}
6	掉线自测试
5	屏蔽广播模式位
4	消息发完中断使能
3	1553A/B 选择
2	方式码格式
1	广播模式格式
0（最低）	RT-RT 格式

表 8 RT 子地址控制字寄存器（读/写，04H）

位	位功能描述
15（最高）	接收时：双重缓冲模式使能
14	发送时：消息发完中断
13	发送时：循环缓冲中断
12	发送时：存储器管理 2（MM2）
11	发送时：存储器管理 1（MM1）
10	发送时：存储器管理 0（MM0）
9	接收时：消息收完中断
8	接收时：循环缓冲中断
7	接收时：存储器管理 2（MM2）
6	接收时：存储器管理 1（MM1）
5	接收时：存储器管理 0（MM0）
4	广播模式时：消息收完中断
3	广播模式时：循环缓冲中断
2	广播模式时：存储器管理 2（MM2）
1	广播模式时：存储器管理 1（MM1）
0（最低）	广播模式时：存储器管理 0（MM0）

表 9 时标寄存器（读/写，05H）

位	位功能描述
15（最高）	时标位 15
•	•
•	•
•	•
0（最低）	时标位 0

表 10 中断状态寄存器（读/写，06H）

位	位功能描述
15（最高）	中断屏蔽
14	存储器奇偶校验出错
13	BC/RT 传输超时
12	BC/RT 命令栈翻转
11	MT 命令栈翻转
10	MT 数据栈翻转
9	握手失败（与外部 RAM 或主机）
8	BC 消息重试
7	RT 地址奇偶校验出错
6	时标翻转
5	RT 循环缓冲翻转
4	BC 控制字/RT 子地址控制字消息结束
3	BC 信息帧结束
2	格式出错
1	BC 状态设置/RT 方式码/MT 模式触发
0（最低）	消息结束

表 11 配置寄存器#3（读/写，07H）

位	位功能描述
15（最高）	增强模式使能
14	BC/RT 命令栈空间 1
13	BC/RT 命令栈空间 0
12	MT 命令栈空间 1
11	MT 命令栈空间 0
10	MT 数据栈空间 2
9	MT 数据栈空间 1
8	MT 数据栈空间 0
7	非法化无效
6	传送/接收无效使能
5	预备状态字使能
4	数据接收器无效非法化
3	数据接收器忙无效
2	RT 时标分配失败使能
1	1553A 方式码使能
0（最低）	增强方式码处理中

表 12 配置寄存器#4（读/写，08H）

位	位功能描述
15（最高）	外部比特字使能
14	忙时比特字禁止
13	忽略忙的模式命令
12	扩展 BC 控制字使能
11	广播模式屏蔽使能
10	如果-A 或消息错误时消息重试
9	如果状态设置时消息重试
8	第一次重试 ALT/SAME 总线
7	第二次重试 ALT/SAME 总线
6	消息出错/无数据时使有效
5	忙/无数据时使有效
4	MT 标记间隔选择
3	与配置寄存器#5 一起锁存 RT 地址
2	测试模式 2
1	测试模式 1
0（最低）	测试模式 0

表 13 配置寄存器#5（读/写，09H）

位	位功能描述
15（最高）	12MHz 时钟选择
14	逻辑 0
13	保留
12	保留
11	扩展相交使能
10	超时响应选择 1
9	超时响应选择 0
8	间隔检测使能
7	广播模式无效
6	逻辑 0
5	RT 地址 4
4	RT 地址 3
3	RT 地址 2
2	RT 地址 1
1	RT 地址 0
0（最低）	RT 地址奇偶校验

表 14 MT 数据栈地址寄存器（读/写，0AH）

位	位功能描述
15（最高）	MT 数据栈地址位 15
•	•
•	•
•	•
0（最低）	MT 数据栈地址位 0

表 15 BC 帧时间保留寄存器（读/写，0BH）

位	位功能描述
15（最高）	BC 信息帧时间保留位 15
•	•
•	•
•	•
0（最低）	BC 信息帧时间保留位 0

表 16 BC 消息时间保留寄存器（读/写，0CH）

位	位功能描述
15（最高）	BC 消息时间保留位 15
•	•
•	•
•	•
0（最低）	BC 消息时间保留位 0

表 18 RT 状态字寄存器（读/写，0EH）

位	位功能描述
15（最高）	逻辑 0
14	逻辑 0
13	逻辑 0
12	逻辑 0
11	逻辑 0
10	消息错误
9	测试手段位
8	服务请求
7	保留
6	保留
5	保留
4	广播模式命令接收
3	忙
2	子系统标记
1	动态总线控制接收
0（最低）	终端标记

表 17 BC 帧时间/RT 上个指令/MT 触发字寄存器（读/写，0DH）

位	位功能描述
15（最高）	位 15
•	•
•	•
•	•
0（最低）	位 0

表 19 RT 字测试寄存器（读，0FH）

位	位功能描述
15（最高）	收发器超时
14	B 通道反馈测试失败
13	A 通道反馈测试失败
12	握手失败
11	收发器 B 关闭
10	收发器 A 关闭
9	终端标记禁止
8	通道 B/ \overline{A}
7	高位字计数
6	低位字计数
5	错误的同步字接收
4	奇偶校验/曼彻斯特码出错
3	RT-RT 模式下，间隔/同步头/地址出错
2	RT-RT 模式下，无响应出错
1	RT-RT 模式下，BC 的第二个命令字出错
0（最低）	命令字内容出错

5、总线控制器（BC）结构：

JM61581 电路内部 BC 协议包含所有的 MIL-STD-1553B 消息的格式。消息的格式设置可以通过软件编写 BC 控制字中的各个位来完成。BC 控制字顾及到了 1553 消息的格式、1553A/B 的 RT、总线通道、自测试和在单个消息的发送时的状态字的屏蔽等。此外，消息自动重试、中断请求的使能和中断请求的无效等设置也都被考虑到。BC 还能提供 MIL-STD-1553B 所要求的所有的出错检测。例如，消息响应时间的确认、同步类型和同步头编码、曼彻斯特 II 编码、奇偶校验、位计数、字计数、状态字的 RT 地址区域以及各种不同的 RT-RT 传输错误。

电路的 BC 模式的响应超时可通过软件设置为 18、22、50 和 130 μ s。在传输总线较长或选择帧重发时一般选择比较长的响应时间。

在图 2 中显示了 BC 消息间隔时间以及信息帧的时间。JM61581 电路可以通过软件设置，在没有处理器参与的情况下，一个信息帧最多可以处理 512 个消息。在帧自动重发模式下，帧重复率可以通过内部的软件编写帧的时间来设置，也可以通过输入外部触发信号来控制。内部设置帧时间时，可以在 100 μ s 分辨率的情

况下，最大能达到 6.55 秒。与此同时，帧内部消息间隔时间，也就是当前消息的开始到下一个消息的开始，也是可以通过软件来设置的。在连续的消息间，设置的最大时间为 65.5 毫秒，分辨率为 $1\mu\text{s}$ 。

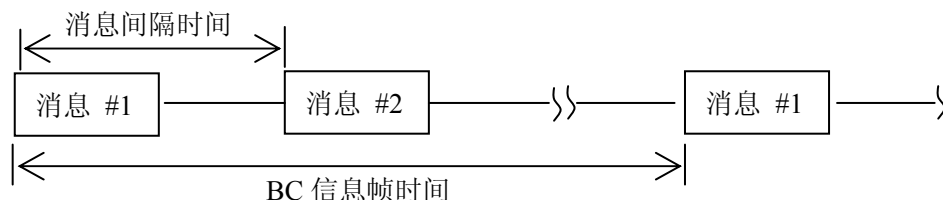


图 2 BC 消息间隔和帧时间

在表 20 中，给出了 BC 模式典型的存储器的空间管理方式。在存储器中有几个重要的地址空间是固定的。其中 0100 (hex) 和 0104 (hex) 分别为区域 A 和区域 B 的数据栈指针，而 0101 (hex) 和 0105 (hex) 分别为区域 A 和区域 B 的消息计数存储空间。当 BC 工作在帧重发模式时，JM61581用到的数据栈指针地址为 0102 (hex) 和 0106 (hex)，消息计数则为 0103 (hex) 和 0107 (hex)。存储器其他的存储空间，用户可以随意的存储消息块。从表中可知，一个消息块最多包含 38 个字，对 RT-RT 的传输时，最多能发送 32 个数据字，即 1 个控制字、2 个命令字、1 个反馈字、2 个状态字和 32 个数据字。当然，这种极限情况是在无视 256 个字边界的情况下。

表 20 BC 存储器空间结构（内部 4K RAM）

地址 (HEX)	地址描述
0000-00FF	栈区 A
0100	区域 A 栈指针（固定地址）
0101	区域 A 消息计数（固定地址）
0102	区域 A 栈指针（BC 帧自动重发模式）
0103	区域 A 消息计数（BC 帧自动重发模式）
0104	区域 B 栈指针
0105	区域 B 消息计数
0106	区域 B 栈指针（BC 帧自动重发模式）
0107	区域 B 消息计数（BC 帧自动重发模式）
0108-012D	消息块 0
012E-0153	消息块 1
0154-0179	消息块 2
•	•
•	•

•	•
0ED6-0EFB	消息块 93
0EFC-0EFF	保留
0F00-0FFF	栈区 B

下图 3 给出了 JM61581 电路 BC 模式的存储器管理计划表。BC 模式存储器管理的一个特点为：双缓冲模式管理。即内部提供了两套 BC 模式的数据管理结构：栈指针、消息计数地址、栈区描述和消息块。通过设置配置寄存器#1 第 13 位来选择当前使用的存储区域。在图 3 中给出了当前使用的区域（不带阴影）和备用区域（带阴影）。在任何情况下，主机都可以访问所有的区域，但是，在应用时，一般为主机访问备用区域而 1553 总线占用当前使用区域。

在初始化存储器时，通过编写消息计数数字来确定当前帧消息的个数。通过编写栈指针来确定消息描述块起始地址。每个消息均带有 4 个消息描述块。消息描述块的地址是以栈指针定义的起始地址为基准，随着消息的发送，以 4 为增量累加。通过编写消息描述块中的第 3、第 4 个描述字，可以确定当前消息与发送的下一个消息的间隔时间和当前消息控制字在存储器中的存贮地址。当消息发送完成以后，JM61581 电路会自动将当前消息的块状态字回写到消息描述块的起始地址。用户可以通过读该描述字来确定消息发送状态。在表 21 中对消息块描述状态字进行了详细的描述。

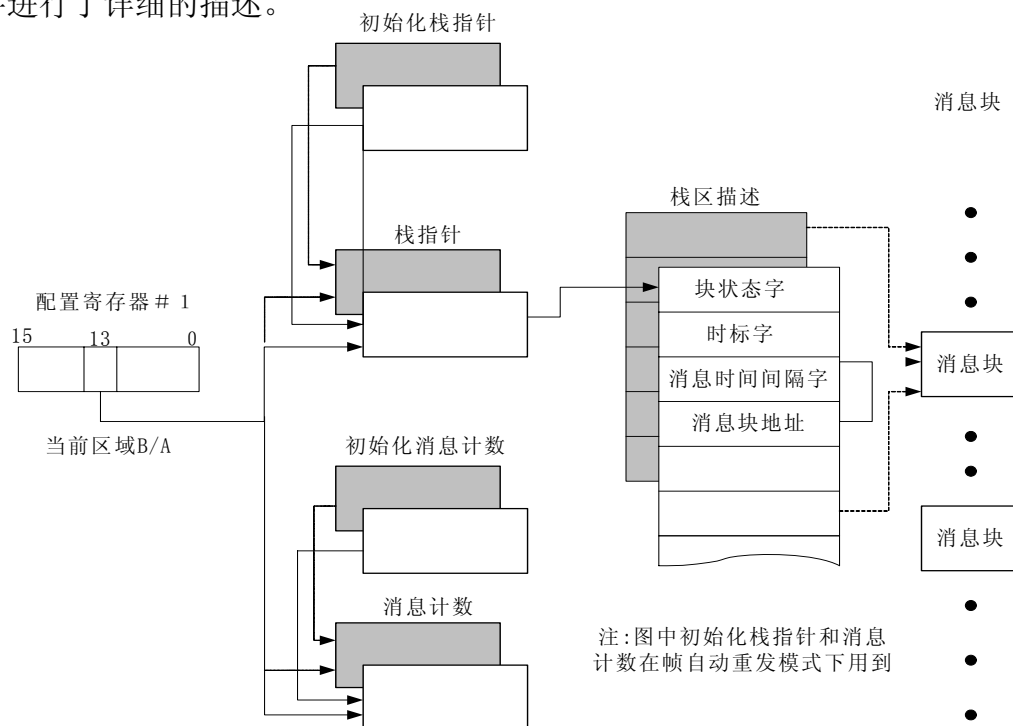


图 3 BC 模式存储器管理(内部 4K RAM)

MIL-STD-1553B 协议有三种典型的字格式，即命令字、数据字和状态字，在下图中给出了这三种字的格式。同时，为了满足 MIL-STD-1553B 协议的要求，JM61581 电路采用了一种消息块的结构。这种结构随 BC 对 RT 的操作不同而格式不同。下表 20 中分别给出了 BC 对 RT 的各种操作的消息块的格式。

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----

同步字头

P: 奇偶校验

地址：北京市中关村科技园区通州园光机电一体化产业基地兴光四街1号
电话：01059019198 59019070 59019212 手机：13811828590 网址：www.beidougps.net
传真：01058850501-1007

表 22 BC 消息块状态字

位	位描述
15 (最高)	消息截止
14	消息开始
13	通道 B/ \bar{A}
12	时标出错
11	状态设置
10	格式出错
9	响应超时
8	反馈测试失败
7	屏蔽状态设置
6	重发计数 1
5	重发计数 0
4	数据块传输正确
3	错误的状态地址/没有延时
2	字计数出错
1	同步头类型出错
0 (最低)	无效字

表 21 BC 模式消息块格式

BC-RT 传输	RT-BC 传输
控制字	控制字
接收命令字	传送命令字
数据字#1	反馈回的传送命令字
数据字#2	状态字接收
•	数据字#1
•	数据字#2
•	•
最后的数据字	•
反馈回最后的数据字	•
状态字接收	最后的数据字

表 21 BC 模式消息块格式

RT-RT 传输	广播模式	RT-RT (广播模式)
控制字	控制字	控制字
接收命令字	广播命令字	接收广播命令字
传送命令字	数据字#1	传送命令字
反馈回的传送命令字	数据字#2	反馈回的传送命令字
传送数据的 RT 的状态字	•	传送数据的 RT 的状态字
数据字#1	•	数据字#1
数据字#2	•	数据字#2
•	最后的数据字	•
•	最后的数据字的状态字	•
•		•
最后的数据字		最后的数据字
接收数据的 RT 的状态字		

表 21 BC 模式消息块格式

不带数据字的方式码	发送功能的方式码（带数据字）
控制字	控制字
方式码命令	发送功能的方式码命令
反馈回的方式码命令	反馈回的方式码命令
接收到的状态字	接收到的状态字
	接收 RT 发来的数据字

接收功能的方式码（带数据字）	广播功能的方式码（不带数据字）
控制字	控制字
接收功能的方式码	广播功能的方式码命令
数据字	反馈回的广播功能的方式码命令字
反馈回的数据字	
接收到的状态字	

广播功能的方式码（带数据字）
控制字
广播功能的方式码命令字
数据字
反馈回的数据字

6、 远程终端（RT）结构：

JM61581电路的 RT 模式具有一个突出的优点就是其真正的做到了支持多协议的功能。它可以通过软件编写来设置其支持 MIL-STD-1553A 协议、各种 McAir 协议以及 MIL-STD-1553B 协议。RT 的响应时间为 2 到 5 μ s。此外，RT 还能通过软件编程控制 RT 状态字和建立测试字。RT 还提供了全面的错误检测、字和格式的合理化以及各种 RT-RT 的传输错误。

在下表 23 中给出了 RT 模式下典型的存储器空间管理方式。与 BC 模式基本一样，内部也有些固定的地址空间做特殊用途使用。地址 0100（hex）为通道 A 的栈指针，0104（hex）为通道 B 的栈指针。除了这些栈指针，还有设计为其他用途的特殊地址，如：所有 RT 模式操作需要的栈区 A 和栈区 B 的查询表，命令非法化查询表以及忙位查询表等。在表 24 中给出了存储器查询表 A 和查询表 B 的地址空间分布。RT 的查询表分别提供了接收/发送/广播方式的子地址数据块的地址空间。当用到地址 0300-03FF 地址空间时，该区域将作为 RT 非法化的地址空间。

表 23 RT 存储器空间管理（内部 4K RAM）

地址（HEX）	地址空间描述
0000-00FF	栈区 A
0100	区域 A 栈指针（固定地址）
0101-0103	保留
0104	区域 B 栈指针（固定地址）
0105-0107	保留
0108-010F	方式码选择性中断表（固定地址）
0110-013F	方式码数据（固定地址）
0140-01BF	查询表 A（固定地址）
01C0-023F	查询表 B（固定地址）
0240-0247	忙位查询表（固定地址）
0248-025F	保留
0260-027F	数据块 0
0280-02FF	数据块 1-4
0300-03FF	命令非法化表（固定地址）
0400-041F	数据块 5
0420-043F	数据块 6
•	•
•	•
•	•
0FE0-0FFF	数据块 100

表 24 查询表 A 与 B 空间管理

查询表 A	查询表 B	地址空间描述
0140-015F	01C0-01DF	接收（广播）查询表
0160-017F	01E0-01FF	发送查询表
0180-019F	0200-021F	广播查询表（可选择）
01A0-01BF	0220-023F	子地址控制字查询表（可选择）

JM61581的 RT 模式提供了灵活的存储器空间管理方式。RT 模式允许分别给发送、接收和广播子地址分配相应的地址空间。为满足 1553B 协议，RT 还提供了一种存储空间选择，即：可以将接收的数据字区分为 BC 广播模式发送的和非广播模式发送的。RT 提供的两个（区域 A 和区域 B）128 个字的查询空间（表 24），通过编写这些空间来确定发送、接收和广播消息的基地址。

在 RT 模式下，对于每个发送子地址，JM61581提供了两种可能的存储器管理计划表：①单个消息 ②循环缓冲。对于每个接收子地址，JM61581 提供了三种可能的存储器管理表：①单个消息 ②双缓冲 ③循环缓冲。对于发送、接收和广播子地址，通过编写 RT 子地址控制字，JM61581可提供两种中断情况：①消息结束中断 ②循环缓冲空间占满翻转中断。

对于循环缓冲方式，通过编写 RT 子地址控制字（表 8）中的 3 位，可以选择循环缓冲空间大小为：128、256、512、1024、2048、4096 和 8192 个数据字。在表 25 中给出了子地址控制字与循环缓冲空间大小的对应关系。

表 25 存储器管理子地址缓冲表

MM2	MM1	MM0	描述	内容
0	0	0	单一消息或双缓冲（在表 8 中设置区分）	循环缓冲
0	0	1	128 字	
0	1	0	256 字	
0	1	1	512 字	
1	0	0	1024 字	
1	0	1	2048 字	
1	1	0	4096 字	
1	1	1	8192 字	

6、1 单一消息模式

图 4 中给出了 RT 单一消息模式的存储器管理表。JM61581工作在 RT 默认模式下时，单一消息模式包括所有的发送、接收和广播子地址。在单一消息模式下

(或子地址双缓冲或循环缓冲), 也提供了全局的双缓冲区域(区域 A 和区域 B), 通过配置寄存器#1 的第 13 位来选择存储区域。在图 4 中, 显示了两套数据结构: 栈指针(固定地址)、栈区描述块(用户自定义)、RT 查询表(固定地址)和 RT 数据块地址(用户自定义)。RT 的每个消息也有 4 个消息描述块, 描述块的第 4 个字为 RT 收到的命令字, 命令字中的子地址描述了数据块的存储基地址, 通过判断命令字中的接收/发送位, 可以相应的将接收到的数据字存储到以基地址为基准的存储空间或发送这些存储空间里的内容到 1553 总线。RT 每个消息的数据字块中的最大空间为 32 个字, 当重复使用该消息子地址时, 该数据块将会被覆盖。当然, 同一子地址也可以访问不同的数据块, 这样就不存在数据块覆盖的问题, 但是, 这种情况必须要求用户编写不同的查询表指针。

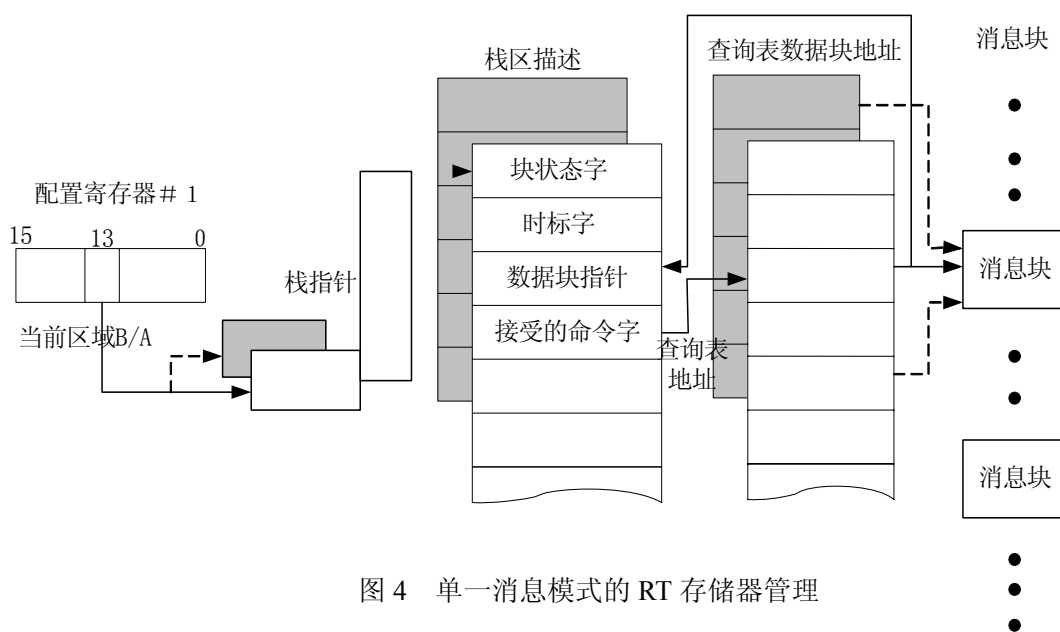


图 4 单一消息模式的 RT 存储器管理

6、2 循环缓冲模式

图 5 给出了 RT 循环缓冲模式的存储器管理表。该模式适合大数据量的传输, 从表 25 中, 可以知道循环缓冲模式的空间可通过编写子地址控制字设置为 128-8196 个数据字。该模式和单一消息模式一样, 在消息的开始, 用户可以设置查询表的入口地址存储在消息描述块的第 3 个字。循环缓冲模式的数据的读取和存储也都是以查询表定义的指针为基地址。

在当前有效消息处理结束时, 查询表指针的值将更新为下一个地址空间。这样, 具有相同的接收/发送/广播子地址的下一个消息将直接访问邻近的下一个循

环数据缓冲地址。我们推荐，查询表指针可被设置为在收到无效的消息时不更新为下个地址。这样也便于 BC 重发出错的消息，使有效的消息覆盖发送出错的消息。在使用该模式时，推荐使能循环缓冲中断。

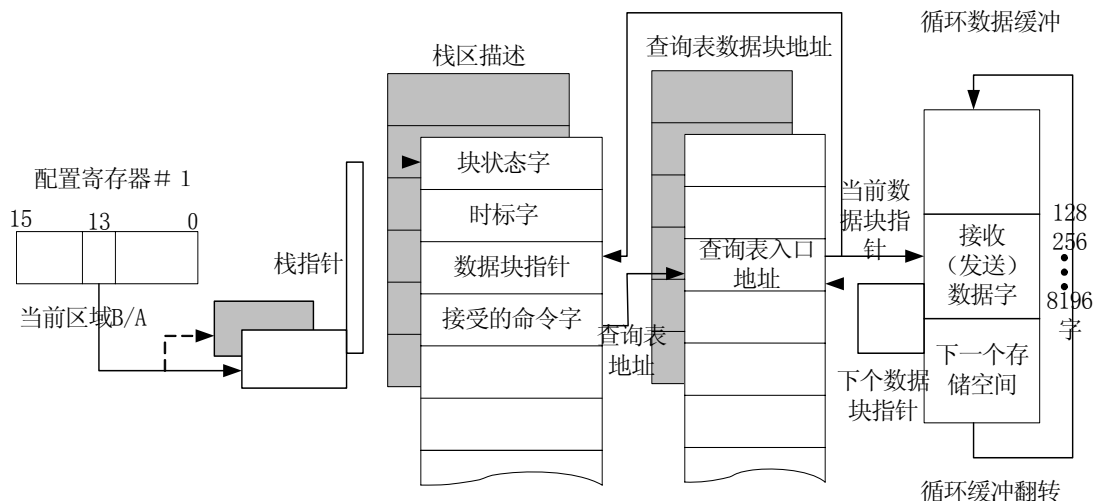


图 5 循环缓冲模式的 RT 存储器管理

6、3 子地址双缓冲模式

对于接收或广播子地址，JM61581 提供了第三种可选择的 RT 存储器管理模式：子地址双缓冲模式。该模式可以很好的保持数据的一致性。图 6 中给出了 RT 子地址双缓冲模式存储器管理表。与单一消息模式一样，该模式也是通过设置 RT 子地址控制字中的位来选择的。设置该模式的目的，主要是为了使主机能方便的访问给定子地址收到的最近的有效的字。该模式为每一个给定的子地址收到（或广播）的有效字分配了两个存储数据块，这样就保证了数据的高度一致性。

从图中可以看到两块数据存储块数据块 0 和数据块 1，其中一个分配为“激活”状态，另一个分配为“非激活”状态。下一个接收消息来的数据字将被存储在“激活”状态的数据块中，当处理完这个消息，并且该消息是有效的，同时使能了子地址双缓冲模式，JM61581 将为各自的子地址自动切换“激活”和“非激活”数据块。通过改写查询表指针的第 5 位并将改写的字回写给查询表指针来完成上述功能。这样一来，接收到最近的有效的数据字块将一直准备提供给主机访问。

使用这种方法，确保主机能够访问到 RT 接收到的最近的有效的数据字块，访问顺序如下：

- （1）通过改写子地址控制字关闭双缓冲模式，暂时切换成单一消息模式的存储

器管理。

- (2) 读取当前接收（或广播）子地址查询表指针。该指针给出了“激活”的数据字块地址，通过反向该指针的第 5 位，其将指向“非激活”的数据字块，该数据字块就是接收到的最近的有效的数据字块。
- (3) 主机读取该数据字块。
- (4) 通过改写子地址控制字重新使能子地址双缓冲模式

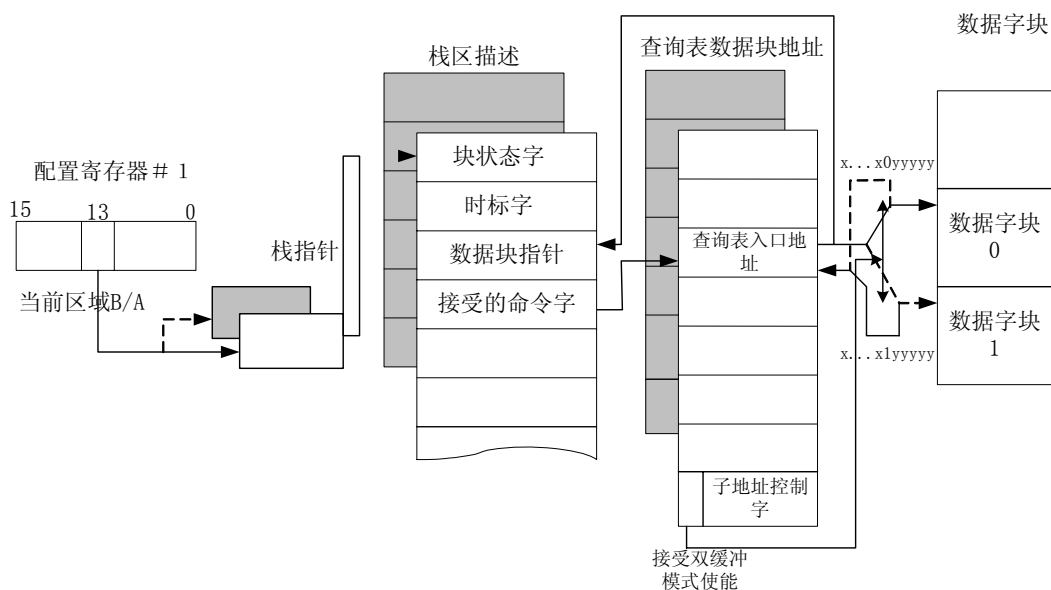


图 6 子地址双缓冲模式的 RT 存储器管理

6、4 RT 模式块状态字

在 RT 模式下，当 RT 对总线发送数据字时，内部也会产生相应的块状态字，该状态字存储在 RAM 空间中，其存储地址由软件编程设置，可以通过读该状态字来判断发送的正确性。表 26 给出了 RT 模式块状态字各个位的详细描述。

表 26 RT 块状态字描述

位	位描述
15（最高）	消息截止
14	消息开始
13	通道 B/ \bar{A}
12	时标出错
11	RT-RT 格式
10	格式出错

9	响应超时
8	反馈测试失败
7	数据栈翻转
6	非法命令字
5	字计数出错
4	错误的同步头
3	非法字
2	RT-RT 模式下，延时/同步头/地址出错
1	RT-RT 模式，BC 的第二个命令字错误
0（最低）	命令字出错

6、5 RT 指令非法化

JM61581电路为 RT 指令非法化提供了内部管理机制。该指令非法化表占用了内部 RAM256 个字的存储空间。提供这种内部逻辑可以减少该电路应用系统的简化,可以避免使用 PROM、PLD 或 RAM 等器件来完成非法化功能。JM61580RT 指令非法化功能非常灵活，并共提供了 4096 种指令非法化情况。其中包括：广播/本地地址，发送/接收位，子地址，位计数/方式码等。同时，该功能还提高了电路的可测试性。

在表 27 中给出了指令非法化存储器地址的定义，从表中可以看出指令非法化基地址为 0300（HEX）。内部存储器分配了 256 个字空间给指令非法化。对于同一个子地址，由于其最多可以接收 32 个数据字，因此，对于 32 种 RT 指令字均定义了非法化。

由于在非法化中对方式码的非法化也作了定义，因此在表 28 给出了方式码对应的各个位的说明。在表 29 中，可以看到第一个 64 字的非法化空间用来定义广播模式的接收指令非法化。第二个 64 字空间用来定义广播模式的发送指令非法化。第三个 64 字空间用来定义非广播模式的接收指令非法化。第四个 64 字空间用来定义非广播模式的发送指令非法化。

对于指令非法化，下列这些情况是需要注意的：

（1）对于给定的广播模式/本地地址/发送/接收子地址，为了设定给定字计数的非法化，表示该命令字非法的相应位（从表 29 中查看）必须设定为“1”。而设定为“0”则表示该命令字的有效。对于非法的命令字，RT 会自动设置 RT 模式状态字中的相应位。

(2) 对于子地址 1-30, “字计数/方式码”位表示给定指令字的字计数区, 逻辑“0”表示低 16 个字, 逻辑“1”表示高 16 个字。对于子地址 0 和 31, 该位表示给定指令字的方式码区, 即逻辑“0”表示方式码分配表中的低 16 位, 逻辑“1”表示方式码分配表中的高 16 位。

(3) 在 MIL-STD-1553B 协议中, 没有对非方式码广播模式发送消息进行定义, 因此, 在 RAM 区的 0342-037D 区域 (60 个字) 的非法化不用初始化。而对于这些区域的指令, 无论该指令非法化是否被设置, JM61581 自动设置 RT 模式状态字中的相应位。如果下一条指令为发送状态字或发送上一条指令的方式码, JM61581将对 RT 状态字中的该位作出响应。

表 27 指令非法化 RAM 地址定义

位	描述
15 (最高)	0
14	0
13	0
12	0
11	0
10	0
9	1
8	1
7	广播/本地地址; 逻辑“1”时为广播模式, 逻辑“0”时为本地地址
6	发送/接收; 逻辑“1”时为发送指令, 逻辑“0”时为接收指令
5	子地址 4-0, 用来定义子地址。值为 1-30, 表示子地址, 值为 0 和 31 时, 表示指令为方式码。
4	
3	
2	
1	
0 (最低)	字计数/方式码; 逻辑“1”时, 当子地址为 1-30 时, 表示 0-15 个字的非法化, 当子地址为 0 或 31 时, 表示 0-15 位的非法化; 逻辑“0”时, 当子地址为 1-30 时, 表示 16-31 个字的非法化, 当子地址为 0 或 31 时, 表示 16-31 位的非法化。

表 28 方式码分配表

发送/接收位	方式码	功能说明	是否带数据字	是否允许广播模式
1	00000	动态总线控制	否	否
1	00001	同步	否	是
1	00010	发送状态字	否	否
1	00011	启动自测试	否	是
1	00100	发送器关闭	否	是
1	00101	取消发送器关闭	否	是
1	00110	禁止终端标志位	否	是
1	00111	取消禁止终端标志位	否	是
1	01000	复位远程终端	否	是
1	01001	备用	否	待定
●	●	●	●	●
●	●	●	●	●
●	●	●	●	●
1	01111	备用	否	待定
1	10000	发送矢量字	是	否
0	10001	同步	是	是
1	10010	发送上一个指令字	是	否
1	10011	发送自检测字	是	否
0	10100	选定的发送器关闭	是	是
0	10101	取消选定的发送器关闭	是	是
1 或 0	10110	备用	是	待定
●	●	●	●	●
●	●	●	●	●
●	●	●	●	●
1 或 0	11111	备用	是	待定

表 29 指令非法化 RAM 区设置表

地址	数据	描述
0300	FFFF	子地址 0，广播模式接收方式码。同步（带数据字）有效。
0301	FFFD	
0302-030D	FFFF	广播模式接收子地址 1-6 非法。
030E-030F	0000	广播模式接收子地址 7 有效。
0310-033D	0000	广播模式接收子地址 8-30 有效。
033E	FFFF	子地址 31，广播模式接收方式码。同步（带数据字）有效。
033F	FFFD	
0340	FE05	子地址 0，广播发送模式方式码。同步（不带数据字），启动

0341	FFFF	自测试，发送器关闭，取消发送器关闭，禁止终端标志位，取消禁止终端标志位，复位远程终端有效。
0342-037D	不必要编程（非方式码广播模式发送指令）。	
037E	FE05	子地址 31，广播模式发送方式码。同步（不带数据字），启动
037F	FFFF	自测试，发送器关闭，取消发送器关闭，禁止终端标志位，取消禁止终端标志位，复位远程终端有效。
0380	FFFF	子地址 0，非广播模式接收方式码。同步（带数据字）有效。
0381	FFFD	
0382-03BD	FFFF	非广播模式接收子地址 1-30 非法。
03BE	FFFF	子地址 31，非广播模式发送方式码。同步（带数据字）有效。
03BF	FFFD	
03C0	FE00	子地址 0，非广播模式发送方式码。动态总线控制，同步（不带数据字），发送状态字，启动自测试，发送器关闭，取消发送器关闭，禁止终端标志位，取消禁止终端标志位，复位远程终端，发送矢量字，发送上一个指令字，发送自检测字有效。
03C1	FFF2	
03C2-03FD	0000	非广播模式发送子地址 1-30 有效。
03FE	FE00	子地址 31，非广播模式发送方式码。动态总线控制，同步（不带数据字），发送状态字，启动自测试，发送器关闭，取消发送器关闭，禁止终端标志位，取消禁止终端标志位，复位远程终端，发送矢量字，发送上一个指令字，发送自检测字有效。
03FF	FFF2	

7、监测器（MT）结构：

JM61581电路能提供三种总线监测（MT）模式：

- （1）典型的字监测模式
- （2）可选择的消息监测模式
- （3）同步终端/可选择消息监测模式

7、1 典型的字监测模式：

在典型的字监测模式下，JM61581 电路能监测并存储两条总线上收到的所有的命令字、状态字、和数据字。MT 每从总线上监测一个字，其均在 RAM 中存储两组字。第一个为其监测的字，另一个为监测识别字或标记字。该标记字包含了总线通道类型、同步字头类型、字合法化，以及内部字时间间隙。JM61581 电路存储的数据和标记字在内部 RAM 的循环缓冲区。表 30 给出了监测标记字的各位的描述。

表 30 监测标记字

位	位描述
15（最高）	间隙时间
•	•
•	•
•	•
8	间隙时间
7	字标记
6	命令字/状态字接收有效校验位
5	广播模式
4	错误
3	命令（高）/数据（低）
2	通道 B（高）/A（低）
1	临近的数据（高）/间隙（低）
0（最低）	方式码（低）

7、2 监测触发字

在表 17 中对 MT 触发字寄存器进行了说明,该寄存器为 JM61581 的字监测模式提供了灵活的触发方式。在 MT 启动之前用户可以编写好相应的命令字存入该寄存器，该命令字即为 MT 的触发命令字。当 MT 收到 1553 总线上的命令字与该寄存器中的命令字相同时，MT 将自动启动，从而监测 1553 总线上的一切活动。

7、3 可选择的消息监测模式：

MT 模式提供的可选择消息监测模式能减轻主机的编程和处理进程的负担。这种监测模式能通过对接收到的 1553 命令字的 RT 地址、发送/接收位、以及子地址区域等信息的判断，选择性的监测。其通过区分命令字和状态字能极大的简化了主机的软件配置。这种监测模式在内部 RAM 中占用了两个栈区：命令字栈区和数据字栈区。表 31 中给出了该模式的地址空间分布。同时，MT 模式在监测消息时，内部会产生一个监测消息的块状态字，该状态字存储在 RAM 区中，其存储地址由软件编程设置，外部通过读该状态字，可以判断 MT 模式消息监测的状态。表 32 对消息监测模式的块状态字各位进行了详细的描述。

表 31 可选择消息监测模式地址空间分布

地址（HEX）	地址空间描述
0000-0101	保留
0102	区域 A 监测命令栈指针（固定地址）

0103	区域 A 监测数据栈指针（固定地址）
0104-0105	保留
0106	区域 B 监测命令栈指针（固定地址）
0107	区域 B 监测数据栈指针（固定地址）
0108-027F	保留
0280-02FF	选择监测查询表（固定区域）
0300-03FF	保留
0400-07FF	区域 A 监测命令栈区
0800-0FFF	区域 A 监测数据栈区

表 32 消息监测模式块状态字

位	位描述
15（最高）	消息截止
14	消息开始
13	通道 B/ \bar{A}
12	时标出错
11	RT-RT 传输
10	格式出错
9	响应时间超时
8	正确的数据块传输
7	数据栈翻转
6	保留
5	字计数出错
4	错误的同步头
3	非法字
2	RT-RT 模式下，延时/同步头/地址错误
1	RT-RT 模式下，BC 的第二个命令字出错
0（最低）	保留

7、4 同步 RT/消息监测模式：

可选择消息监测模式可配置为完全被动的监测器也可以软件设置为同步 RT 的监测器。该 RT/监测器模式提供了完整的 RT 的操作功能（不带 RT 地址）和其它 30 个非广播模式 RT 地址总线的监测。工作在该模式下的电路既有 RT 的功能，又能监测总线上的所有的或部分的活动。这种工作模式，有时候需要在总线上备份一个总线控制器。其在地址空间中占用三个栈空间：RT 命令字栈，监测命令字栈和监测数据字栈。

8、 系统接口

8、1 系统概述

可配置于多种处理器和存储器的环境中,其能与 8 位或 16 位的主机进行通讯。主机通过可编程的中断结构、内部寄存器以及用户可定义的共享内存空间等方式与 JM61581 进行通讯。最大共享内存空间可达 64KB。

内置的内存管理系统完全满足 MIL-STD-1553B 协议,有助于减小主机的开销。主机在内部建立参数, JM61581 可以根据需要访问这些信息。同时,可以自动缓存同一子地址 (RT 模式) 的不超过 128 条消息,防止消息的覆盖,也延长了主机处理数据的时间间隔。在 BC 模式下, JM61581 可以处理多条消息,方便消息列表的安排, 并且提供消息自动重试和帧自动重发等主机可编程功能。通过使用中断历史列表功能, JM61581 以不同的中断间隔时间与系统合为一体。在主机没有响应中断时, 中断历史列表在内存中依次存储引起中断的事件。

8、2 系统接口示意图:

与 16 位主机缓冲模式的接口通讯图如下图 7。

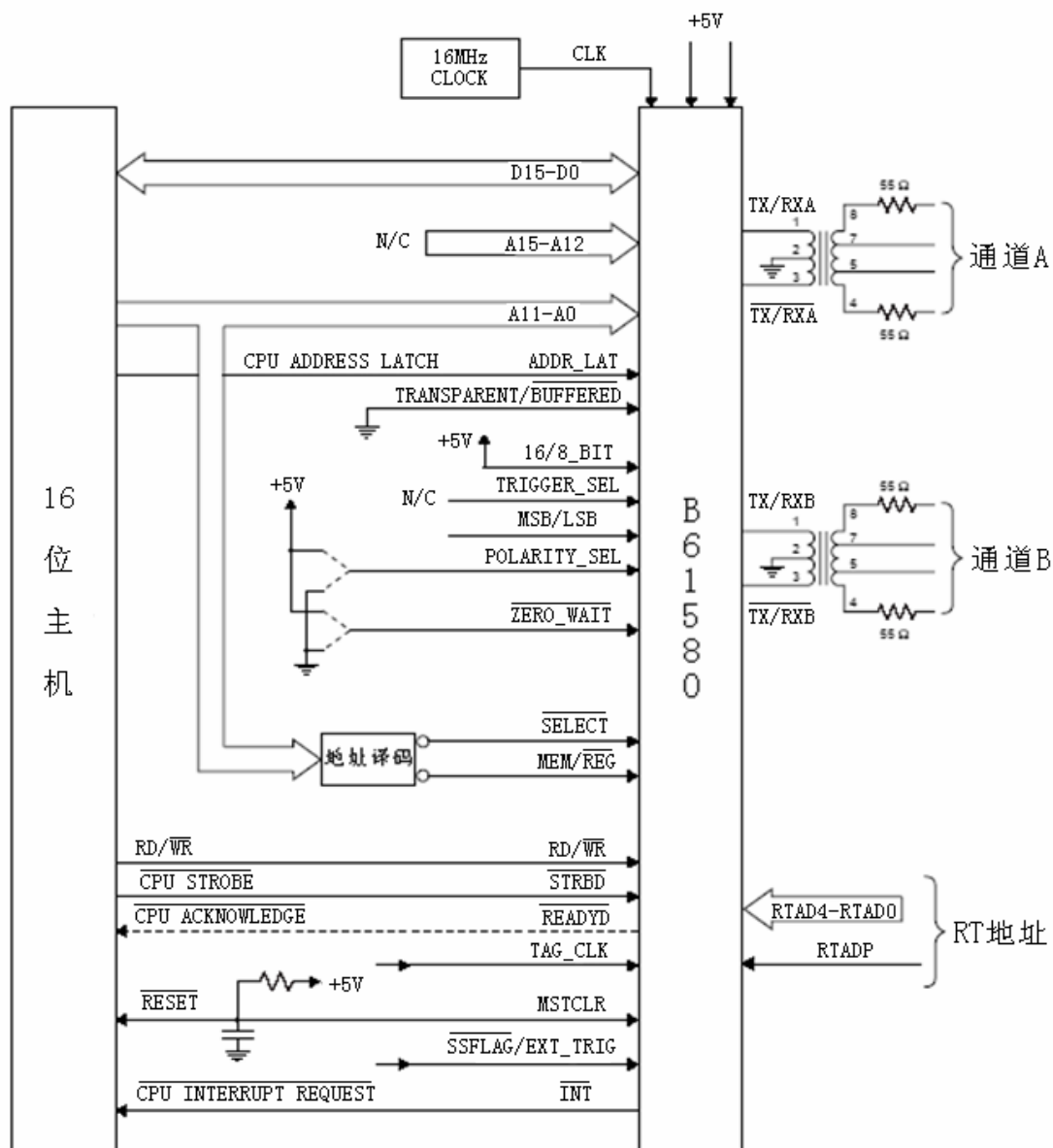


图 与 16 位主机接口 — 缓冲模式

图 与 16 位主机的接口 — 透明模式

9、系统时序:

下图 9、10 给出了 JM61581 与 16 位主机以 16 位缓冲模式通讯时, 主机的读写存储器的时序图。并在表 33、34 中对时序图中的时标进行了详细的说明。

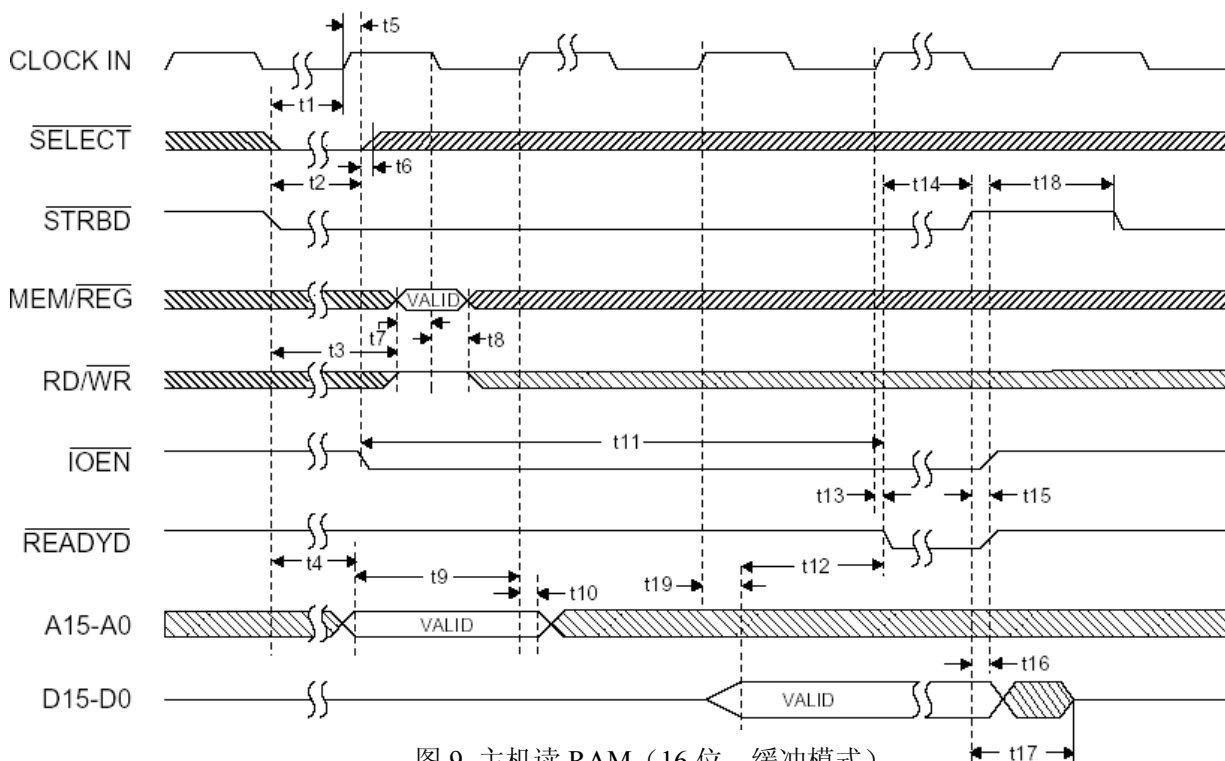


图 9 主机读 RAM (16 位, 缓冲模式)

表 33 主机读 RAM 或 REG (16 位, 缓冲模式)

时标	描述	最小	典型	最大	单位
t1	$\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低建立时间超前于时钟的上升沿	10			ns
t2	$\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 变低落后与 IOEN 的低电平在 (16MHz)			2.8	μs
t2	$\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 变低落后与 IOEN 的低电平在 (12MHz)			3.7	μs
t3	$\text{MEM}/\overline{\text{REG}}$, $\text{RD}/\overline{\text{WR}}$ 建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(16MHz)			10	ns
t3	$\text{MEM}/\overline{\text{REG}}$, $\text{RD}/\overline{\text{WR}}$ 建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(12MHz)			20	ns

t4	有效地址的建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(16MHz)			30	ns
t4	有效地址的建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(12MHz)			50	ns
t5	CLOCK IN 上升沿落后于 $\overline{\text{IOEN}}$ 的下降沿			35	ns
t6	$\overline{\text{SELECT}}$ 保持时间随后于 $\overline{\text{IOEN}}$ 下降沿	0			ns
t7	MEM/ $\overline{\text{REG}}$, RD/ $\overline{\text{WR}}$ 的建立时间提前于 CLOCK IN 的下降沿	10			ns
t8	MEM/ $\overline{\text{REG}}$, RD/ $\overline{\text{WR}}$ 的保持时间提前于 CLOCK IN 的下降沿	30			ns
t9	有效地址的建立时间提前于 CLOCK IN 的上升沿	30			ns
t10	有效地址的保持时间提前于 CLOCK IN 的上升沿	30			ns
t11	$\overline{\text{IOEN}}$ 下降沿落后于 $\overline{\text{READYD}}$ 的下降沿 (读 RAM,16MHz)	170	187.5	205	ns
t11	$\overline{\text{IOEN}}$ 下降沿落后于 $\overline{\text{READYD}}$ 的下降沿 (读 RAM,12MHz)	235	250	265	ns
t11	$\overline{\text{IOEN}}$ 下降沿落后于 $\overline{\text{READYD}}$ 的下降沿 (读 REG,16MHz)	170	187.5	205	ns
t11	$\overline{\text{IOEN}}$ 下降沿落后于 $\overline{\text{READYD}}$ 的下降沿 (读 REG,12MHz)	235	250	265	ns
t12	有效的输出数据提前于 $\overline{\text{READYD}}$ 下降沿 (16MHz)	33			ns
t12	有效的输出数据提前于 $\overline{\text{READYD}}$ 下降沿 (12MHz)	54			ns
t13	CLOCK IN 上升沿落后于 $\overline{\text{READYD}}$ 的下降沿			35	ns
t14	$\overline{\text{READYD}}$ 下降沿提前与 $\overline{\text{STRBD}}$ 的上升沿			∞	ns
t15	$\overline{\text{STRBD}}$ 上升沿落后于 $\overline{\text{IOEN}}$ 上升沿和 $\overline{\text{READYD}}$ 的上升沿			30	ns

t16	有效的输出数据保持时间随后于 $\overline{\text{STRBD}}$ 的上升沿	0			ns
t17	$\overline{\text{STRBD}}$ 的上升沿落后于输出数据的三态状态			40	ns
t18	$\overline{\text{STRBD}}$ 高电平的保持时间与 $\overline{\text{READYD}}$ 的上升沿的时间间隔	0			ns
t19	CLOCK IN 上升沿落后于有效数据的输出			60	ns

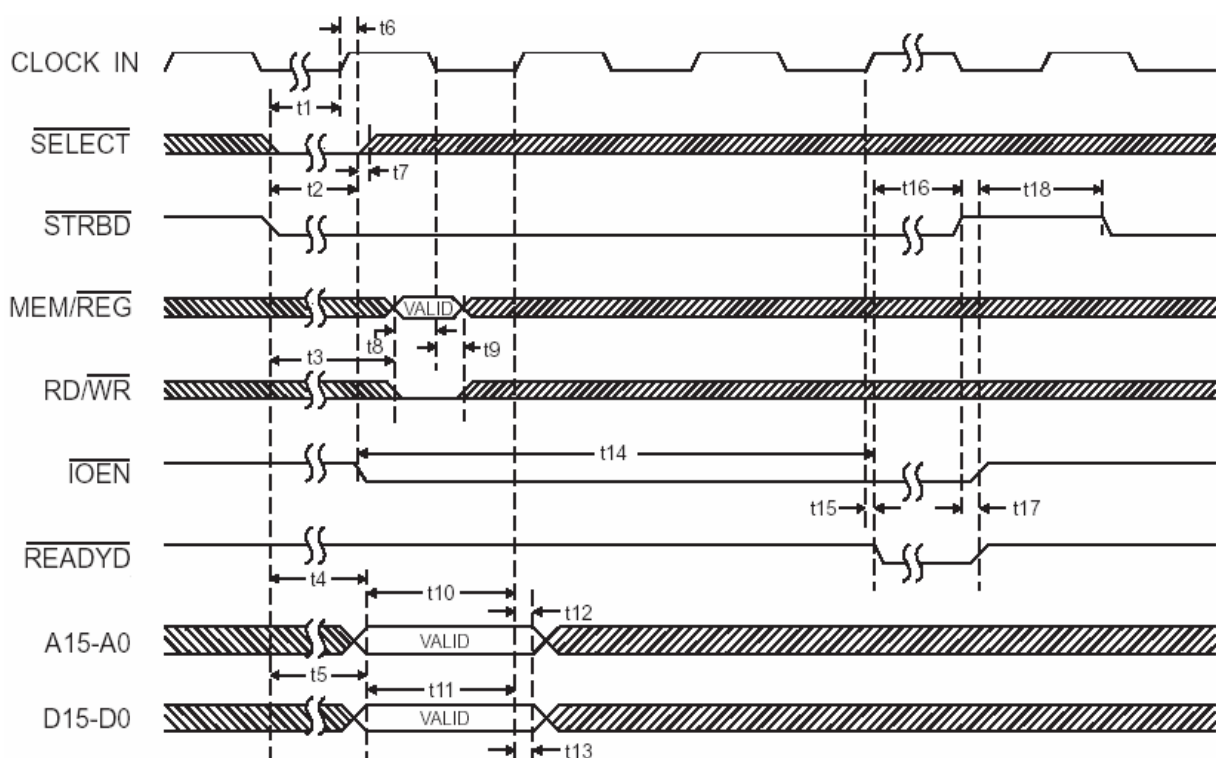


图 10 主机写 RAM 或 REG (16 位, 缓冲模式)

表 34 主机写 RAM 或 REG (16 位, 缓冲模式)

时标	描述	最小	典型	最大	单位
t1	$\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 低电平的建立时间提前于 CLOCK IN 的上升沿	10			ns
t2	$\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 低电平落后于 $\overline{\text{IOEN}}$ 低电平 (16MHz)			2.8	μs
t2	$\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 低电平落后于 $\overline{\text{IOEN}}$ 低电平			3.7	μs

	(12MHz)				
t3	MEM/ $\overline{\text{REG}}$, RD/ $\overline{\text{WR}}$ 建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(16MHz)			10	ns
t3	MEM/ $\overline{\text{REG}}$, RD/ $\overline{\text{WR}}$ 建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(12MHz)			20	ns
t4	有效地址的建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(16MHz)			30	ns
t4	有效地址的建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(12MHz)			50	ns
t5	有效输入数据的建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(16MHz)			50	ns
t5	有效输入数据的建立时间随后于 $\overline{\text{SELECT}}$ 和 $\overline{\text{STRBD}}$ 的低电平(12MHz)			70	ns
t6	CLOCK IN 上升沿落后于 IOEN 的下降沿			35	ns
t7	$\overline{\text{SELECT}}$ 保持时间随后于 IOEN 下降沿	0			ns
t8	MEM/ $\overline{\text{REG}}$, RD/ $\overline{\text{WR}}$ 的建立时间提前于 CLOCK IN 的下降沿	10			ns
t9	MEM/ $\overline{\text{REG}}$, RD/ $\overline{\text{WR}}$ 的保持时间提前于 CLOCK IN 的下降沿	30			ns
t10	有效地址的建立时间提前于 CLOCK IN 的上升沿	30			ns
t11	有效输入数据建立时间提前于 CLOCK IN 的上升沿	10			ns
t12	有效地址的保持时间随后于 CLOCK IN 的上升沿	30			ns
t13	有效输入数据保持时间随后于 CLOCK IN 的上升沿	30			ns
t14	$\overline{\text{IOEN}}$ 下降沿落后于 $\overline{\text{READYD}}$ 的下降沿(16MHz)	170	187.5	205	ns
t14	$\overline{\text{IOEN}}$ 下降沿落后于 $\overline{\text{READYD}}$ 的下降沿(12MHz)	235	250	265	ns
t15	CLOCK IN 上升沿落后于 $\overline{\text{READYD}}$ 的下降沿			35	ns

t16	有效输出数据保持时间随后于 $\overline{\text{STRBD}}$ 的上升沿			∞	ns
t17	$\overline{\text{STRBD}}$ 上升沿落后于 $\overline{\text{IOEN}}$ 上升沿和 $\overline{\text{READYD}}$ 的上升沿			30	ns
t18	$\overline{\text{STRBD}}$ 高电平的保持时间于 $\overline{\text{READYD}}$ 的上升沿的时间间隔	0			ns

10、外形、管脚排列和描述

10、1 封装形式和外形尺寸：

的封装形式为 DIP70。图 11 给出了 JM61581 的封装形式和外形尺寸。

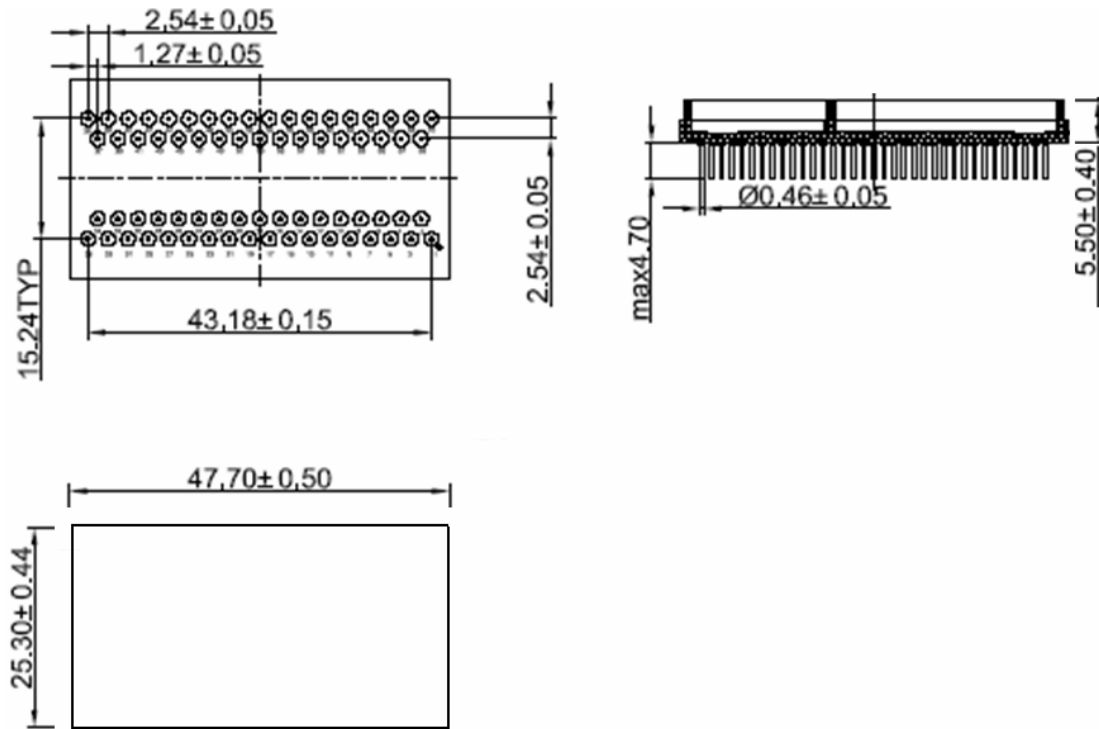


图 11 封装形式及外形尺寸

10、2 管脚排列:

图 12 给出了 JM61581 的引脚排列图

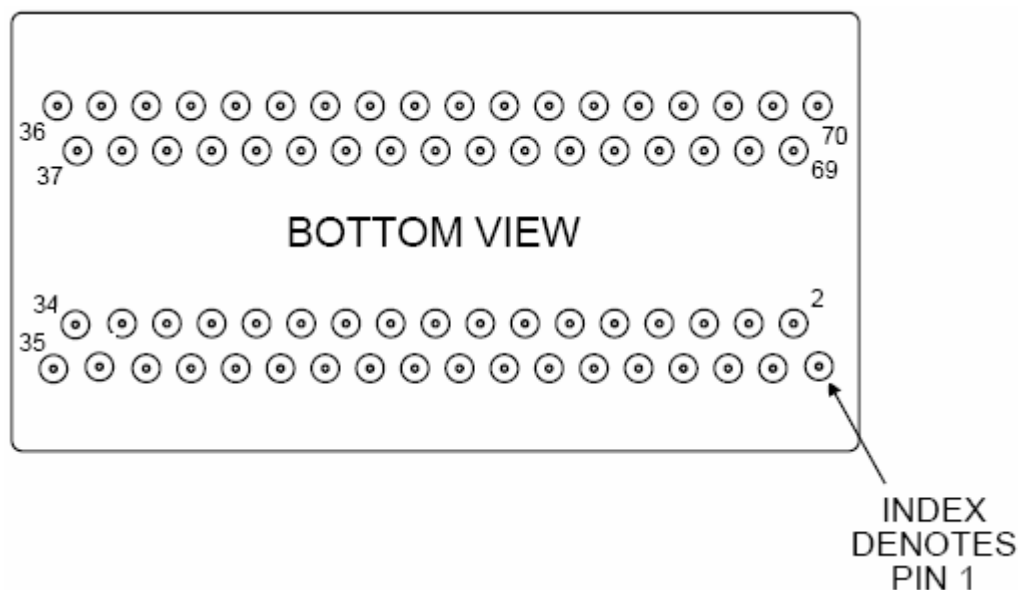


图12 JM61581 管脚排列

10、3 管脚特性及功能定义:

在表 35 中给出了 JM61581 电路管脚的 I/O 特性和功能说明。

表 35 管脚定义

管脚序号	管脚名称	类型	功能描述
1	$TX / RX - A$	I/O	双路收发器接收/发送端。 直接连接到1553总线变压器上
2	$\overline{TX} / \overline{RX} - A$	I/O	
34	$TX / RX - B$	I/O	
35	$\overline{TX} / \overline{RX} - B$	I/O	
3	\overline{SELECT}	I	内部存储器/寄存器数据传送使能。读写存储器或内部寄存器时，需保持低电平。
4	\overline{STRBD}	I	与SELECT配合,初始化和控制数据传送。读写存储器或内部寄存器时，需保持低电平。
5	MEM / \overline{REG}	I	存储器/寄存器选择。访问存储器时，需保持高电平，访问寄存器时，需保持低电平。
6	RD / \overline{WR}	I	读/写选择。读存储器或寄存器时，需高电平，写存储器或寄存器时，需低电平。在16位缓冲模式下，请参考POLARITY_SEL (1)管脚说明。

7	$\overline{\text{MSTCLR}}$		外部复位。低电平复位，复位时需至少100ns的低脉冲信号。
8	A15	I/O	16位双向地址总线
9	A14	I/O	
10	A13	I/O	
11	A12	I/O	
12	A11	I/O	
13	A10	I/O	
14	A9	I/O	
15	A8	I/O	
16	A7	I/O	
17	A6	I/O	
20	A5	I/O	
21	A4	I/O	
22	A3	I/O	
23	A2	I/O	
24	A1	I/O	
25	A0	I/O	
18	GND	I	电路的逻辑地（数字地）
19	CLOCK	I	16M/12M 时钟输入
26	$\overline{\text{DTGRT}}(I)/\overline{\text{MSB}}/\overline{\text{LSB}}(I)$	I	数据传送允许/高/低字节选择。在透明模式下，该信号与 $\overline{\text{DTREQ}}/16/8$ 直接相接；在16位缓冲模式下，该信号悬空；在8位缓冲模式下，请参考POLARITY_SEL (I)管脚说明。
27	$\overline{\text{SSFLAG}}/\text{EXT_TRIG}$	I	子系统标志/外部触发输入。在RT模式下，可以设置RT状态字中的子系统标志位，当输入为低电平时，将忽略配置寄存器#1中的第8位 (bit8) 的值；在BC模式下，输入由低到高的脉冲可以触发BC（配置寄存器#1的bit7需设置为高）；在字监测模式下，输入由低到高的脉冲可以触发MT（配置寄存器#1的bit7需设置为高）。
28	$\overline{\text{MEMENA_OUT}}$	O	存储器使能输出。当主机和1553协议/存储器管理存储器时，保持低电平；在透明模式下，作为外部存储器的片选信号。
29	$\overline{\text{MEMOE}}(O)/\text{ADDR_LAT}(I)$	I/O	存储器输出使能(O)/地址锁存(I)。在透明模式下，做输出信号，在外部存储器的读周期，为存储器数据的输出使能；在缓冲模式下，做输入信号，当为逻辑“0”时，为地址锁存模式，当为逻辑“1”时，为地址透明模式。

30	$\overline{\text{MEMWR}}(O)/\overline{\text{ZERO_WAIT}}(I)$	I/O	存储器写(O)/零等待状态选择(I)。在透明模式下,做输出信号,在内部/外部存储器的写周期,输出低电平;在缓冲模式下,做输入信号,输入高电平时,为非零等待模式,输入低电平时,为零等待模式。
31	$\overline{\text{DTREQ}}(O)/16/8(I)$	I/O	数据传送请求(O)/16/8位传送模式选择。在透明模式下,做输出信号,直接与 $\overline{\text{DTGRT}}(I)/\text{MSB}/\overline{\text{LSB}}(I)$ 相接;在缓冲模式下,做输入信号,输入高电平时,选择16位传输模式,输入低电平时,选择8位传输模式。
32	$\overline{\text{DTACK}}(O)/\text{POLARITY_SEL}(I)$	I/O	在透明模式下,作为输出信号用来标志在数据传输周期主机总线的应答。在16位缓冲模式时,做输入信号,当POLARITY_SEL为逻辑“1”时, $\text{RD}/\overline{\text{WR}}$ 高电平时,为读功能, $\text{RD}/\overline{\text{WR}}$ 低电平时,为写功能;当POLARITY_SEL为逻辑“0”,则相反。在8位缓冲模式下,POLARITY_SEL输入逻辑“1”时, $\text{MSB}/\overline{\text{LSB}}$ 为低电平时,表示传输高8位, $\text{MSB}/\overline{\text{LSB}}$ 为高电平时,表示传输低8位;POLARITY_SEL输入逻辑“0”时,则相反。
33	$\overline{\text{MEMENA}}(I)/\text{TRIGGER_SEL}(I)$	I	在透明模式下,该信号作为内部RAM的片选信号;在16位缓冲模式下,该信号可以悬空;在8位缓冲模式下,该信号输入高电平表示读写顺序为先高8位后低8位,输入低电平则相反。
36			N/C
37	GND _B	I	收发器B模拟接地端
38	+5V _B	I	收发器B模拟电源
39	RTAD ₀	I	远程终端地址输入
40	RTAD ₁	I	
41	RTAD ₂	I	
42	RTAD ₃	I	
43	RTAD ₄	I	
44	RTAD _P	I	远程终端地址奇偶校验
45	$\overline{\text{INCMD}}$	O	在BC模式时,内部处理每一个消息时,都保持低电平;在RT模式或MT模式时,从收到命令字起到当前消息处理完期间,始终保持低电平;在字监测模式时,当监测开始,保持低电平,直到复位信号到来。
46	D ₀	I/O	16位双向数据总线
47	D ₁	I/O	
48	D ₂	I/O	
49	D ₃	I/O	

50	D4	I/O	
51	D5	I/O	
52	D6	I/O	
53	D7	I/O	
55	D8	I/O	
56	D9	I/O	
57	D10	I/O	
58	D11	I/O	
59	D12	I/O	
60	D13	I/O	
61	D14	I/O	
62	D15	I/O	
54	+5V	I	电路5V逻辑电源（数字电源）
63	TAG_CLK	I	外部时间标志时钟输入。应用时，需要设置配置寄存器#2的7、8和9位。为内部时标寄存器/计数器的基准增量。不用时，应接电源或地。
64	TRANSPARENT / $\overline{\text{BUFFERED}}$	I	透明/缓冲模式选择信号。电路工作在透明模式下，该信号应接逻辑“1”，工作在缓冲模式下，该信号应接逻辑“0”。
65	$\overline{\text{INT}}$	O	中断请求输出。当配置寄存器#2的第3位（bit3）为低电平时，将有大约500ns的低脉冲产生；当第3位为高电平时，该信号为低电平。
66	$\overline{\text{READYD}}$	O	与处理器的交互输出信号。当输出为低电平时，表示主机可以读写存储器和内部寄存器的内容。
67	$\overline{\text{IOEN}}$	O	外部地址和数据缓冲的三态控制。在缓冲模式下，可以悬空；在透明模式下，该信号为低时，主机可以访问存储器和内部寄存器。
68	+5VA	I	收发器A模拟电源
69	GND _{BA}	I	收发器A模拟接地端
70			N/C

10.4 JM61581电路与 1553 总线的连接方式图。

电路与 1553 总线系统有两种连接方式，其分别为直接耦合方式和变压器耦合方式。连接方式如下图 13 所示。

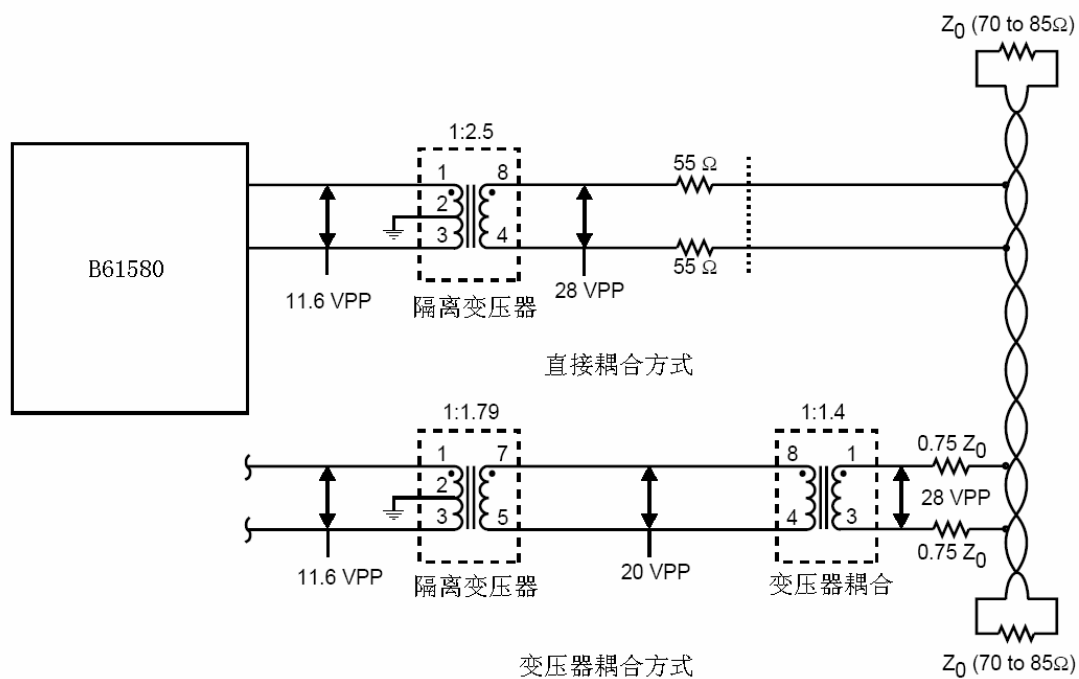


图13 JM61581电路与 1553 总线连接方式

11、电路电学参数

项 目	最 小	典 型	最 大	单 位
逻辑部分（数字部分参数）				
电源电压	4.5	5	5.5	V
功耗			600	mW
V_{IH}	3.5			V
V_{IL}			1.5	V
V_{OH}	2.4			V
V_{OL}			0.8	V
收发器（模拟部分参数）				
I_{OL}	4.0			mA
I_{OH}			-2.4	mA
V_{OH} ($V_{CC}=4.75V$, $I_{OH} = \max$)	4.0			V
V_{OL} ($V_{CC}=4.75V$, $I_{OL} = \min$)			0.4	V
电源范围 V_{CC} (5V)	4.75	5.0	5.25	V
电源耗用电流 I_{CC}				
空闲（注释 10）		80	100	mA
25%发射器的占空因数 （单通道发射, $f=1MHz$ ）		185	216	mA
50%发射器的占空因数 （单通道发射, $f=1MHz$ ）		290	332	mA
100%发射器的占空因数 （单通道发射, $f=1MHz$ ）		500	565	mA
功耗, $V_{CC}=5V$				
单通道				
空闲		0.22	0.25	W
25%发射器的占空因数 （单通道发射, $f=1MHz$ ）		0.44	0.54	W
50%发射器的占空因数 （单通道发射, $f=1MHz$ ）		0.66	0.83	W
100%发射器的占空因数 （单通道发射, $f=1MHz$ ）		1.1	1.41	W

电路绝对最大额定值

逻辑部分（数字）参数	最小值	典型值	最大值	单位
电源电压	-0.3	5.0	7	V
功耗			600	mW
输入电压	-0.3		7+0.3	V
收发器（模拟部分）参数				
提供的电压+5V（V _{CC} ）	-0.3	5.0	7.0	V
接收器 输入电压（到变压器）			20	V _{p-p}
逻辑 电压输入范围	-0.3		V _{CC} +0.3	V
功率耗散 100%占空因数 （单通道）			3.6	W

推荐工作环境

项 目	规范值			单 位
	最 小	典 型	最 大	
工作环境温度	-55	25	125	℃
存储温度	-65		150	℃
引线耐焊接温度(10s)			300	℃
结温			150	℃